

Umberto Baldini . IV3 COU

Via A.Zenari n° 33 – 33170 – Pordenone

E-mail: umbertobaldini@alice.it

“BREAD BOARD”

Presentazione

L'apparecchiatura in oggetto costituisce un valido ausilio per l'attività di laboratorio dello studente di elettronica o per l'appassionato che voglia verificare praticamente la funzionalità dei circuiti studiati in teoria, sia che si tratti di applicazioni in campo analogico che in campo digitale.

La presenza di due bread-boards, posizionate sul pannello frontale dell'apparecchiatura, permette di realizzare connessioni circuitali senza dover necessariamente effettuare alcuna saldatura.

L'apparecchiatura dispone inoltre di un alimentatore in c.c. in grado di fornire tre tensioni, sia per alimentare i circuiti interni che per quelli in prova, senza dover impiegare altre sorgenti di alimentazioni esterne ed in particolare una tensione di +5 Vcc permette di realizzare esperienze con integrati in tecnologia TTL., una tensione di +15 Vcc permette di realizzare esperienze con integrati in tecnologia C.Mos o con componentistica discreta (B.J.T.) in applicazioni analogiche (od a scatto), ed infine una tensione di -15 Vcc che, in unione con la tensione di +15 Vcc, permette l'alimentazione duale di amplificatori operazionali integrati in applicazioni analogiche (lineari) od a scatto.

Le tre sorgenti di alimentazione sono protette contro i corti circuiti ed il sovraccarico termico, al fine di preservare l'apparato stesso da eventuali errori accidentali od inavvertenze in fase di utilizzo.

Per realizzare esperienze in campo digitale con logica combinatoria si hanno a disposizione dieci livelli logici disponibili in altrettanti connettori presenti sul pannello frontale, comandati da appositi deviatori a levetta; i livelli logici possono essere preselezionati, tramite apposito comando, sia per applicazioni TTL (Low = 0 V, High = 5 V) o C.Mos, (Low = 0 V, High = 15 V).

Sempre per applicazioni in campo logico combinatorio si hanno a disposizione dieci indicatori di stato logico realizzati con altrettanti led presenti sul pannello frontale, che con la loro accensione, segnalano la presenza di un livello logico alto al proprio ingresso; va segnalato che ciascun led. viene pilotato da un apposito circuito interno che varia la propria soglia di discriminazione del livello di scatto, in funzione della corrispondente predisposizione dei livelli logici di uscita (TTL o C.Mos)

Altra particolarità del visualizzatore di stati logici sta nell'alta impedenza dei dieci ingressi, condizione questa che permette di non caricare eccessivamente il circuito in esame.

Per applicazioni in campo logico sequenziale, si dispone invece di 4 segnali di clock ad onda quadra (duty cycle = 50 %) con frequenza di 1 Hz, 10 Hz, 1 KHz, 100 KHz, segnali ottenuti per divisione da un oscillatore a quarzo e per questo di notevole stabilità e precisione; anche questi segnali variano di livello a seconda che si sia predisposto l'utilizzo per applicazioni TTL. (5 Vpp) o C.Mos (15 Vpp).

Sul pannello frontale sono inoltre disponibili due deviatori a pulsante, per poter realizzare varie funzioni di comando per circuiti elettronici (ad esempio il comando Set-Reset, Start-Stop, ecc...).

Per l'impiego dell'apparecchiatura in campo lineare (analogico), si dispone di un segnale sinusoidale a bassa distorsione, alla frequenza di 1 KHz, con quattro livelli di tensione: 10 mVpp, 100 mVpp, 1 Vpp, 10 Vpp; il segnale viene ottenuto filtrando il segnale ad onda quadra ad 1 KHz generato per divisione da un oscillatore a quarzo ed utilizzato per fornire i segnali di clock già menzionati precedentemente.

Il filtro impiegato è di quint'ordine: ne consegue un segnale con una distorsione residua molto bassa, una stabilità ed una precisione in frequenza paragonabile al segnale generato dall'oscillatore a quarzo.

A completamento, l'apparecchiatura dispone di due connettori BNC collegati con corrispondenti terminali presenti sul pannello frontale, per mezzo dei quali è possibile collegare stabilmente l'apparecchiatura in esame, con altre apparecchiature esterne, in funzione di input (es. generatori di segnali esterni) o di output (es. collegamento ad un oscilloscopio).

Caratteristiche

Connessione alla rete:

Alimentazione: 230 Vac 50 Hz

Potenza assorbita max. : 25 W

Protezione: fusibile ritardato 315 mA

Alimentatore:

Tensioni in cc fornite: + 5 Vcc, + 15 Vcc, - 15 Vcc +/- 0,25 V

Correnti utilizzabili: 0.5 Acc per livello

Protezione in caso di corto: 1Acc

Generatore 10 livelli logici:

Low: 0 Vcc

High: selezionabili tra + 5 Vcc (T.T.L.) e + 15 Vcc (C.M.o.s.)

Corrente prelevabile da livello High: max 10 mA

Rivelatore 10 stati logici:

Soglia di discriminazione TTL: + 2,5V (TTL)

Soglia di discriminazione C.Mos: + 7,5 V (C.Mos)

Isteresi di discriminazione TTL e C.Mos: +/- 0.25 V

Impedenza di ingresso: 1Mohm

Generatore di Clock:

Segnali disponibili contemporaneamente: quattro

Frequenza segnali di clock: 1 Hz, 10 Hz, 1 KHz, 100 KHz.

Ampiezza dei segnali: selezionabili tra + 5V (TTL) e + 15 V (C.Mos)

Duty Cycle dei segnali ad onda quadra: 50 %

Frequenza del quarzo campione: 4,000 MHz.

Generatore segnali sinusoidali:

Segnali disponibili contemporaneamente: quattro

Frequenza segnali: 1 KHz

Ampiezza segnali disponibili: 10 mVpp, 100 mVpp, 1 Vpp, 10 Vpp.

Distorsione segnali: minore del 2 %

Un po' di storia

Nel lontano 1990, presso l'Istituto Professionale di Stato "L. Zanussi" di Pordenone dove insegnavo, nacque l'idea di progettare l'apparecchiatura che qui viene presentata, sulla falsariga di una analoga apparecchiatura didattica della HP che, pur offrendo prestazioni notevolmente ridotte, costava una fortuna!

La prima versione, che prevedeva l'impiego di una notevole quantità di transistori, venne realizzata in una cinquantina di pezzi e successivamente distribuita in pasto ai "maltrattamenti" degli allievi presso i vari laboratori del reparto di elettronica e telecomunicazioni dell'Istituto.

Dopo quindici anni di collaudo intensivo, durante il quale l'apparecchiatura dimostrò a pieno la sua robustezza, nacque l'idea di far realizzare un prototipo a ciascun allievo del terzo anno (qualifica) e di farne dono allo stesso, a condizione del superamento dell'esame finale; in tal modo si pensava di coinvolgere lo studente nella realizzazione completa (progettazione, realizzazione, collaudo) di un apparato che poi resterà di proprietà e servirà nell'attività di laboratorio degli anni successivi.

In questa occasione il progetto è stato parzialmente rivisto con la pressoché completa eliminazione dei transistori e la loro sostituzione con circuiti integrati di normale reperibilità; si è inoltre optato per l'adozione del circuito stampato in doppia faccia, appositamente realizzato da una ditta specializzata esterna; pure la meccanica, che presenta una notevole quantità di fori rettangolari, è stata realizzata da una ditta esterna che dispone di una macchina computerizzata per la foratura con raggio laser.

Finalità

Poiché si ritiene che questo progetto possa interessare altre scuole oltre che molti appassionati e sperimentatori di elettronica, si procede alla sua pubblicazione su RR; sul sito della sezione ARI di Pordenone sono inoltre disponibili tutti i files per la realizzazione dello stesso e tutti i consigli che dovessero risultare necessari.

Schema a blocchi

Lo schema a blocchi evidenzia un alimentatore che ha lo scopo di fornire alimentazione sia agli altri blocchi interni che al circuito in prova; vi è poi un generatore che fornisce livelli logici alle dieci uscite preselezionabili in ampiezza tramite un apposito commutatore (TTL/CMOS) ed un visualizzatore di stati logici, anch'esso comandato dallo stesso commutatore, che pilota dieci Led posti sopra altrettanti ingressi presenti sul pannello frontale.

Vi è poi un generatore a quarzo che fornisce quattro segnali ad onda quadra a diverse frequenze, con ampiezza preselezionabile tramite il commutatore TTL/CMOS; infine vi è poi un generatore di segnali sinusoidali che altro non è che un filtro di quint'ordine sintonizzato sulla fondamentale del segnale ad onda quadra di 1KHz prelevato dal generatore a quarzo.

Completano la dotazione dell'apparato due pulsanti in deviazione, i cui contatti sono disponibili sul pannello frontale e due prese BNC collegate a due contattiere sempre disponibili sul frontale: queste prese consentono di ricevere segnali elettrici dall'esterno o di trasferirne all'esterno.

Schema elettrico

- Alimentatore

La sezione alimentatrice prevede un trasformatore di alimentazione (TR1) con quattro secondari da 7 Veff. ciascuno posti in serie il cui centrale viene posto a massa; D5 e D6 raddrizzano in controfase una tensione di 14 Veff. presentando ad U15 (7815) una tensione positiva di circa 20Vcc; D1 e D2 similmente presentano a U13 (7915) una tensione negativa di 20Vcc; D3 e D4 infine raddrizzano in controfase una tensione di 7 Veff. presentando ad U14 (7805) una tensione continua di 10 Vcc.

Le uscite degli stabilizzatori alimentano la circuiteria interna e portano alimentazione all'esterno tramite le contattiere ai lati del pannello frontale.

- Generatore livelli logici

Il transistor Q1 ed il diodo D7 comandati da S11, determinano il livello di tensione (+5 o +15) che alimenta le dieci resistenze di protezione (R70...R79); detto livello viene reso disponibile alle dieci contattiere presenti sul pannello frontale, dallo stato dei dieci deviatori S1...S10.

Con S11 nella posizione indicata nello schema, Q1 (PNP) è in saturazione e quindi la tensione disponibile al suo collettore è di 15 Vcc (modalità CMOS, segnalata inoltre dall'accensione di LD11); commutando S11, Q1 si interdice, si spegne LD11 mentre si accende LD12 (modalità TTL): ora le dieci resistenze R70...R79 vengono alimentate a +5 Vcc tramite D7 (a meno della sua caduta diretta).

- Visualizzatore stati logici

Gli stati logici presenti alle dieci contattiere di ingresso vengono segnalate dai led corrispondenti; detti led vengono pilotati da cinque dei sei NOT contenuti in U2 ed U4 (40106): questi due integrati vengono alimentati a +5 Vcc per ridurre gli assorbimenti e vengono pilotati da altrettanti NOT presenti nei due integrati U1 ed U3 (40106), la cui alimentazione viene determinata dalla posizione di S11.

Il valore di alimentazione (+5 per TTL o +15 per CMOS) determina infatti il livello di scatto dei NOT, adeguandolo quindi alla modalità TTL o CMOS; le dieci resistenze R31...R40 permettono il pilotaggio con un livello di +15 Vcc verso un integrato alimentato costantemente a +5 Vcc.

Le resistenze R1...R10 ancorano a massa gli ingressi dei NOT ed assieme alle resistenze R21...R30 (di protezione agli ingressi) determinano l'impedenza complessiva degli ingressi (1Mohm).

- Generatore onde quadre

L'integrato U9 (4011) realizza l'oscillatore a quarzo fornendo alla 1° sezione di U10 (4013) un segnale di clock a 4,000 Mhz; all'uscita Q (pied. 13) avremo un segnale alla frequenza di 2,000 MHz che verrà successivamente diviso per dieci da uno dei due divisori decadici presenti in U8 (4518); all'uscita Q3 (pied. 6) troveremo quindi un segnale rettangolare con frequenza di 200 KHz. Si parla di segnale rettangolare e non quadro perché all'uscita di un divisore per dieci (Q3) il segnale non presenta un Duty Cycle pari al 50 %; è noto infatti che un tale segnale si ottiene solo all'uscita di un divisore naturale (/2, /4, /8, /16...).

Il segnale da 200 KHz viene ora applicato al secondo divisore per dieci presente in U8 e quindi alla prima uscita Q0 (pied. 3) dello stesso divisore decadico troveremo un segnale perfettamente quadro (D.C. = 50%) con frequenza pari a 100 KHz.

Il segnale all'uscita di questa decade (Q3 al piedino 6) pari alla frequenza di 20 KHz viene applicato all'ingresso della prima decade dell'integrato U7 (4518) per essere diviso ancora per 10 e successivamente (2 KHz) applicato alla seconda decade di U7; come in precedenza, al Q0 (pied. 3 di U7) preleviamo un'onda quadra ad 1 KHz.

Segue un ulteriore integrato U6 (4518) che prima divide per 10 il segnale a 200 Hz presente all'ingresso della sua prima decade e poi ci permette di ottenere un segnale quadro a 10 Hz al Q0 (pied. 3) ed un segnale rettangolare di 2 Hz al Q3 (pied. 6) della seconda decade.

Infine il segnale a 2Hz viene diviso per due dal secondo flip flop presente in U10 permettendoci di ottenere l'ultimo segnale quadro ad 1Hz.

Questi quattro segnali, tramite le resistenze di protezione R45...R48 vanno a pilotare altrettanti NOT presenti in U5 (40106) che, alimentato tramite Q1 e D7, fornisce in uscita impulsi TTL (5Vp) o CMOS (15Vp) attraverso resistenze di protezione R41...R44 da 330 ohm.

- Generatore segnali sinusoidali

Detto generatore altro non è se non un filtro di quint'ordine costituito da una cascata di un filtro passa basso di prim'ordine seguito da due filtri passa banda di second'ordine; il potenziometro P1 (47Kohm) determina la frequenza di taglio del primo filtro p.b. e conseguentemente l'ampiezza del segnale triangolare che si realizza ai capi di C21.

Il condensatore C20 blocca la componente continua del segnale ad 1KHz (circa 7,5Vcc) per poter così presentare ai quattro amplificatori operazionali di U11 (TL084) un segnale esclusivamente alternato. I due potenziometri P2 e P3 (4,7Kohm) permettono di sintonizzare i due filtri sull'esatto valore di 1KHz, sintonia che si ricerca per la massima ampiezza del segnale sinusoidale presente all'uscita dell'ultimo filtro (pied 8 di U11); ciò ottenuto si ritocca P1 fino a verificare (per mezzo di un oscilloscopio tarato) un segnale sinusoidale di 10 Vpp, segnale che deve essere riproposto identico al piedino 14 dello stesso integrato.

Le resistenze R53...R59 costituiscono un partitore con rapporto 1/1, 10/1, 100/1, 1000/1 offrendoci così segnali sinusoidali ad 1 KHz con ampiezze: 10Vpp, 1Vpp, 0,1Vpp, 10mVpp.

Da ultimo i quattro operazionali contenuti in U12 (TL084) connessi a ripetitori ci permettono di disaccoppiare le uscite tra loro ed il partitore; le resistenze R49...R52 proteggono le uscite da corti accidentali e costituiscono l'impedenza di uscita del generatore.

Realizzazione pratica

Come si evince dalle foto, l'intera realizzazione utilizza un unico circuito stampato a doppia faccia con fori metallizzati: la totalità dei componenti viene direttamente montata sulle due facce opposte dello stampato, cosicché si riduce enormemente il cablaggio tra lo stampato e la scatola metallica esterna; chi volesse, può però organizzarsi diversamente ridisegnando uno o più stampati ed eventualmente organizzando una diversa meccanica.

La progettazione dello stampato, la stesura degli schemi elettrici ed il disegno della parte meccanica di questa apparecchiatura sono state realizzate col programma CIRCAD 98: per coloro che fossero interessati a duplicare esattamente lo stampato proposto dall'autore e quindi utilizzare una meccanica forata espressamente per questo stampato, si consiglia di contattare il sito dell'ARI di Pordenone presso il quale sarà possibile trovare tutti i files operativi relativi al circuito stampato, allo schema elettrico, alla pianta componenti, al piano di foratura della meccanica ed ogni altra notizia utile.

Montaggio e taratura

Se da un lato il circuito stampato si presenta di notevoli dimensioni, dall'altro riduce al massimo le operazioni di cablaggio: gli unici collegamenti previsti sono costituiti dalla alimentazione in alternata (220Vac) e dalla connessione dei BNC allo stampato, realizzate con cavetto rigido.

Per quanto riguarda il montaggio, si consiglia di realizzare i blocchi funzionali nella sequenza con cui sono stati proposti, procedendo alla verifica funzionale prima di procedere al blocco successivo: in tal modo si evitano perdite di tempo ed amare sorprese.

La funzionalità del circuito viene verificata controllando semplicemente il funzionamento dello stadio alimentatore (correttezza delle tensioni fornite), il funzionamento del generatore di clock alle varie frequenze (1Hz, 10Hz, 1KHz, 0,1MHz) e la variazione del livello dei segnali in funzione del comando S11 :TTL (5V) e C.MOS (15V); l'unica taratura si effettua sintonizzando tramite P2 e P3 (4,7K) i due filtri ad 1KHz (taratura che si effettua per il massimo segnale rilevato con un oscilloscopio sul piedino 14 di U11) e successivamente regolando l'ampiezza del segnale sinusoidale fino al valore di 10Vpp tramite P1 (47K); si verifica infine la correttezza dei livelli di segnale sinusoidale alle 4 uscite (10Vpp, 1Vpp, 100mVpp, 10mVpp)

Descrizione foto

- Jpg 0401 Aspetto esteriore
- Jpg 0402 “
- Jpg 0403 “
- Jpg 0411 Interno dell'apparato
- Jpg 0405 Circuito stamp. Lato componenti
- Jpg 0406 “
- Jpg 0408 Circuito stamp. Lato connettori
- Jpg 0409 “
- Jpg 0444 Autore
- Jpg 0445 “
- Jpg 0450 “
- Jpg 0451 “

Nota:

Il disegno della pianta componenti, così come il disegno dello stampato nelle due facce, si possono ricavare dal file B.B. comp. allegato, tramite Circad 98; ad ogni buon conto si allega copia cartacea dei vari disegni.